

基于 DDR4 的新型 FLY-BY 拓扑技术研究

郭丰睿 路静 刘浩 武欣

(北京航天自动控制研究所 北京 100854)

摘要 随着信号处理领域向着高速率大带宽的趋势发展,控制器和负载之间互连链路反应出的串扰、畸变、振铃等信号完整性问题日益突出。文中基于高速缓存 DDR4 提出了一种将 PCB 作为信号载体的新型 FLY-BY 拓扑结构,有效弱化了多负载芯片非理想效应和传输链路阻抗突变,提高了信号接收双方的电平裕量,为更高速率、更高复杂度电路上的多负载互连设计提供了有效手段。

关键词: 信号完整性;FLY-BY;阻抗突变

中图分类号 TM711

Research on Novel FLY-BY Topography Technology Based on DDR4

GUO Fengrui, LU Jing, LIU Hao and WU Xin

(Beijing Aerospace Automatic Control Institute, Beijing 100854, China)

Abstract As the field of signal processing evolves towards high-speed and large bandwidth, signal integrity issues such as crosstalk, distortion, and ringing, manifested in the interconnection link between controllers and loads, are becoming increasingly prominent. This paper proposes a novel FLY-BY topology using PCB as a signal carrier based on DDR4, which effectively mitigates the non-ideal effects of multi-load chips and abrupt impedance changes in transmission links, increases the level margin of both signal transmitting and receiving ends, and provides an effective means for the design of Multi load interconnection on higher speed and higher complexity circuits.

Key words Signal integrity, FLY-BY, Sudden change in impedance

0 引言

随着高密度信号处理技术和高集成度 SoC 芯片技术的快速发展,嵌入式信号处理技术也不断迭代更新,应用场景涉及人工智能通信、自动化车床生产、航空航天工业等领域。计算机平台如果没有高速大容量存储器的配合,核心处理器则不能快速高效地存储和提取运行数据,而在系统工作时处理器会长期停滞在一段无效时间,等待处理完数据的到来,严重影响整机的处理性能。为了尽可能减少系统的停滞时间,嵌入式信号处理系统亟需优化设计处理器外挂多片存储器的架构形式,以满足系统对于数据存储和访问的大容量、高速率以及大带宽的需求。

当平台处理器的工作频率达到 GHz 以上及电路板的芯片密度更高时,处理系统中元器件之间的互连方式对整个平台工作性能的不利影响将被不断放大,导致信号在 PCB 印制线上传输过程中出现较大的失真现象。其中影响最大的因素就是因信号传输线路的非理想性而引起的反射、串扰、时序等高速信号完整性问题,会加大平台硬件电路设计难度以及降低整机工作性能指标。因此,针对一驱多 DDR4 负载的应用环境,进行高速信号完整

性分析具有较大的实际意义。本文通过对 DDR4 拓扑结构的设计、仿真、分析,评估了优化信号互连链路中存在的反射、时序等问题,以达到改善信号质量,提高信号传输速率和准确性的目的。

1 通用型 FLY-BY 拓扑结构基本原理

通用型 FLY-BY 拓扑结构是高速信号互连结构中的一种,是一个主控制器驱动多个负载时最有效的拓扑形式,其优势体现在用最短的传输总线将控制器和所有的负载连接起来。从控制器开始,通过传输总线和第一段支线连接第一个负载,随后通过传输总线和第二段支线连接第二个负载,依此类推完成所有负载的连接,从主控制器开始,所有的负载连成链状。FLY-BY 拓扑结构的设计重点是保证各个负载分支线长度尽量短,最好小于上升时间的 1/8。在总线的末端采用电阻并联端接的匹配方式,如上下拉、戴维南端接方式等。

在印制板层数较少、厚度较薄的硬件设计中,信号传输过孔长度较短,即 FLY-BY 结构的非理想分支线长度较短,因此传输链路阻抗突变的非理想效应表现不明显。然而,随着电子平台复杂度不断提高,印制板的复杂度不断提升,其层数与厚度也在不断增加,作为 FLY-BY 拓扑的非理想

作者简介:郭丰睿(1994—),工程师,研究方向为电子与通信工程。

分支线的信号,过孔对信号质量的影响已经不可忽略,其非理想效应逐渐显著,并在更高速的DDR4设计中表现愈加强烈。在信号传输非理想效应的影响下,各类输入输出信号不断反射错综复杂且相互叠加,使得接收端信号质量急剧变差,如高速数据信号的边沿回勾、振铃、串扰等。而在多片DDR4互连电路中,接收端控制、时钟、命令、地址总线数据眼图的眼高和眼宽会缩短变窄,最终导致DDR4数据传输误码、控制异常等问题^[1]。

2 新型FLY-BY拓扑结构设计

为了解决在高速高密度印制板上运用通用FLY-BY拓扑结构造成的一系列信号完整性问题,本文提出了一种针对高速多片DDR4互连的新型FLY-BY拓扑结构。新型拓扑是针对高速、高密度印制板上的多片DDR4集成设计,对现有通用FLY-BY拓扑的一种优化设计,它是在将多层印制板等效为空间三维结构的基础上提出的一种有效降低传输链路影响的优化策略,主要技术方法为弱化长过孔非理想效应和信号分层走线策略^[2]。

2.1 弱化长过孔非理想效应

多层印制板的电路密度较大,往往涉及信号的分层走线,分层走线必然会经过大量的长过孔路径。在更高速的DDR4的设计中,多层印制板的长过孔非理想效应将更加明显,因此本文提供了两种技术方法,来降低长过孔的信号传输非理想效应。

2.1.1 增大过孔禁布区

在保证不影响器件布局及信号传输的前提下,增大长过孔的禁布区,具体禁布区尺寸由实际信号速率和走线路径通过仿真确定,从而减弱长过孔与信号走线参考平面之间的寄生电容效应,降低传输链路上的阻抗突变影响。

2.1.2 优化长过孔背钻工艺

从制作工艺来说,过孔分为盲孔、埋孔和通孔。由于通孔在工艺实现上更简单、成本更低,因此大多数印制板在连接不同层的信号时均使用通孔,但对于多层高速高密度印制板信号走线,应显著增强过孔的分支线效。通过对信号进行合理的走线布局,以及裁剪、填堵信号链路中过孔背部,缩短链路中无效过孔长度,从而降低长过孔的分支线效应。

2.2 优化信号分层走线策略

新型FLY-BY拓扑结构的核心是将印制板考虑为空间三维结构,将高速信号的走线路径分布在表层和底层的走线层,使得传输链路中的分支线尽可能短,同时使得长过孔的大部分长度在信号传输总线中得以体现。根据此分层策略,有两种具体实现方法,本文以一块20层印制板上1驱6的DDR4命令线设计实现为例进行了说明。

2.2.1 总线远离控制器走线方式

V1为控制器发送端,D1-D6为DDR4接收端,R为端接匹配电阻。数据信号由印制板表层控制器V1发出,经过孔1

1达到第17或18走线层(靠近印制板底层),然后经过传输总线CH1到达过孔2,随后信号通过过孔2的分支T3到达负载D1,通过过孔2的分支T2到达第2或3走线层(靠近印制板表层)的传输总线CH2,并通过过孔2的分支T1到达负载D2。以此类推,命令线经过贴近印制板的表底层依次经过各个DDR4,从而保证过孔1、2、3、4、5的长过孔无效分支线T1和T3的长度尽可能短,同时将长过孔的大部分长度串联在信号传输路径中。

2.2.2 总线靠近控制器走线方式

如图1所示,V1为控制器发送端,D1-D6为DDR4接收端,R为端接匹配电阻。数据信号由印制板表层控制器V1发出,经过孔1达到第2或3走线层(靠近印制板表层),然后经过传输总线CH1到达过孔2,随后信号通过过孔2的分支T3到达负载D2,通过过孔2的分支T2到达第17或18走线层(靠近印制板底层)的传输总线CH2,并通过过孔2的分支T3到达负载D1。以此类推,命令线经过贴近印制板的表底层依次经过各个DDR4,从而保证过孔1、2、3、4、5的长过孔无效分支线T1和T3的长度尽可能短,同时将长过孔的大部分长度串联在信号传输路径中^[3-4]。

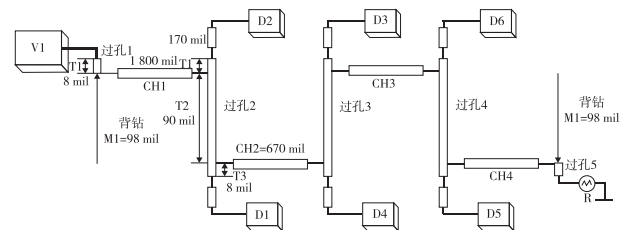


图1 总线靠近控制器走线方式

3 基于Hyperlynx的新型FLY-BY拓扑结构建模和分析

3.1 结构建模仿真

本文针对某高速高密度20层印制板进行结构建模,该印制板集成了复旦微可编程融合芯片FMQL10S400及其外部DDR4存储器(MT40A128M16-16Megx16 x 8 banks),其命令线采用1驱6拓扑结构,DDR4采用表底层对称贴装形式。依据本文提出的新型FLY-BY拓扑结构,该1驱6的DDR4命令线排布参数如图2所示。过孔分支线不同段的长度为T1=8 mil,T2=90 mil,T3=8 mil,链路传输总线CH1=1 800 mil,CH2~CH4=670 mil,长过孔背钻分支长度M1=98 mil,各DDR4表层走线分支长度SLN=170 mil,端接50欧姆匹配电阻。

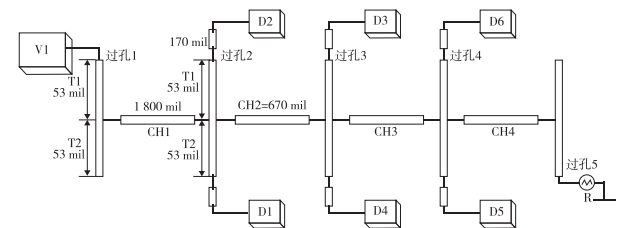


图2 1驱6的DDR4命令线排布参数架构

采用通用型 FLY-BY 拓扑结构进行 1 驱 6 存储器建模, 命令信号由表层控制器 V1 发出, 通过过孔 1 分支到达 9 层或 10 层(中间走线层), 然后信号经过中间走线层依次到达过孔 2-5, 并通过各过孔分支线到达负载 D1-D6 以及 50 欧姆端接匹配电阻, 其中过孔分支 T1=T2=53 mil, 传输总线 CH1=1 800 mil, CH2~CH4=670 mil, 各负载表层分支线长度 SLN=170 mil。

采用 CAD 结构软件针对通用型 FLY-BY 拓扑和新型 FLY-BY 拓扑结构进行建模, 通过 Si9000 仿真得出表层走线宽度为 6 mil, 中间层信号走线 CH1 线宽为 8 mil, CH2~CH4 线宽为 4 mil, 遵照参数设置图建构模型。建构完毕后, 完成设置信号端口激励方式和仿真边界条件, 将仿真主频率设置为 2 GHz, 扫频范围为 0 MHz~1.5 GHz, 步进频率设置为 20 MHz。完成两种拓扑结构的仿真模型和参数配置, 进行软件设计检查, 软件设计检查正确后通过模型参数扫描, 扫描完成后开展 S 参数仿真分析^[5]。

3.2 结论分析

通过 CAD 建模仿真, 提取出两种 FLY-BY 拓扑结构模型的 S 参数数据, 并利用 Hyperlynx 进行电路模型搭建和参数设置, 采用 PRBS 序列作为激励码元类型, 激励码率设置为 0.8 Gbps, 控制器的 ibis 模型为 FPGA_FMQL10S400_4_2_1, DDR4 的 ibis 模型为 DDR4_MT40A128M16。链路搭建完成后, 点击开始仿真按钮得到两种拓扑结构下的接收端接收眼图, 如图 3 所示。

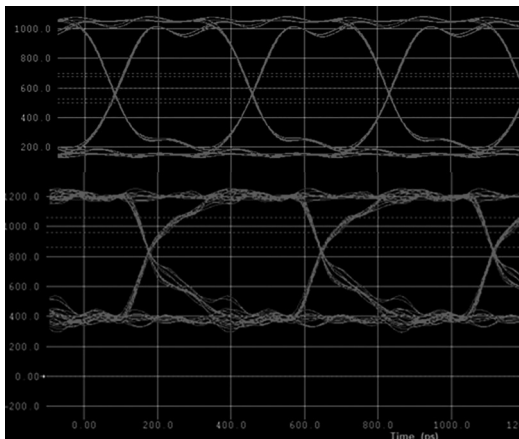


图 3 两种拓扑结构下的接收端接收眼图

通过仿真软件对 6 个 DDR4 命令信号眼图进行测量, 结果如表 1 所列。由表 1 可知, 相比通用型 FLY-BY 结构, 命令信号眼宽基本保持不变, 新型 FLY-BY 拓扑结构的使用将靠近控制器、受反射串扰影响较大的负载 D1、D2、D3、D4 的接收眼高分别优化了 66.9 mv (14.8%)、58.1 mv (12.3%)、33.4 mv (6.5%)、44.9 mv (8.7%), 改善明显。由此可见, 采用新型 FLY-BY 拓扑互连可有效降低信号传输链路和印制板长过孔的非理想效应, 极大地增强了信号传输

两端的抗干扰能力, 为更高速、更高密度印制板上的多片 DDR4 集成设计提供了有效手段^[6]。

表 1 6 个 DDR4 命令信号眼图的测量结果

项目	D1	D2	D3	D4	D5	D6
通用 FLL-BY 眼高/mv	450.6	470.8	506.8	515.5	612.6	627.8
新型 FLL-BY 眼高/mv	517.5	528.9	540.2	560.4	605.8	622.5
眼高优化率/%	14.8	12.3	6.5	8.7	-1.1	-0.8
通用 FLL-BY 眼宽/ps	320.8	336.2	318.6	350.7	342.3	329.5
新型 FLL-BY 眼宽/ps	329.5	348.2	332.6	362.4	339.8	325.1
眼宽优化率/%	2.7	3.5	4.3	3.3	-0.7	-1.3

4 结语

针对高速高密度印制板多片 DDR4 互连电路中的信号完整性问题, 本文提出了一种基于印制板三维空间结构设计的新 FLY-BY 拓扑结构, 其是对通用型 FLY-BY 拓扑的一种改进技术, 包括优化信号分层走线策略和弱化长过孔非理想效应两种具体措施。通过高速信号布局走线中传输总线和长过孔的有效组合减短各负载分支线长度, 并采用增大过孔禁布区和优化长过孔背钻工艺, 以减小过孔自身表现出的非理想效应。采用 Hyperlynx 软件对两种拓扑结构进行建模仿真, 结果表明新型 FLY-BY 拓扑互连可有效减轻多片 DDR4 信号分支线之间的反射、串扰等问题。然而, 本文还未考虑高速并行总线中地址和数据信号速率关系、同组绕线误差对噪声裕量的定量影响关系, 后续需进一步探讨研究。

参考文献

- [1] 沈费钦. 基于 IBIS 模型的 DDR SDRAM 信号完整性仿真方法研究[D]. 上海: 上海交通大学, 2019: 1-8.
- [2] 严冬, 张盈利, 陈杨杨, 等. 高速 PCB 中差分过孔分析与优化[J]. 电子测量与仪器学报, 2020, 34(1): 90-96.
- [3] 吴国栋, 刘欣, 蒋元友. 高速 PCB 中传输线串扰的研究与仿真[J]. 广东通信技术, 2014 (11): 63-67.
- [4] Aghdasi H S, Abbaspour M. Energy efficient area coverage by evolutionary camera node scheduling algorithms in visual sensor networks[J]. Soft Computing, 2016, 20(3): 1191-1202.
- [5] 谢锐, 裴东兴, 姚琴琴. 高频信号动态测试中的信号完整性分析[J]. 仪器仪表学报, 2017, 38(3): 774-777.
- [6] 孙晓磊, 王红亮, 陈航. 基于 FPGA 的双 FLASH 数据记录器设计与实现[J]. 电子测量技术, 2021, 44(23): 36-41.